

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85684

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁸
G 0 6 F 13/42

識別記号
3 5 0

F I
G 0 6 F 13/42

3 5 0 C

審査請求 未請求 請求項の数1 OL (全 4 頁)

(21) 出願番号 特願平9-239815

(22) 出願日 平成9年(1997) 9月4日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山本 憲治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

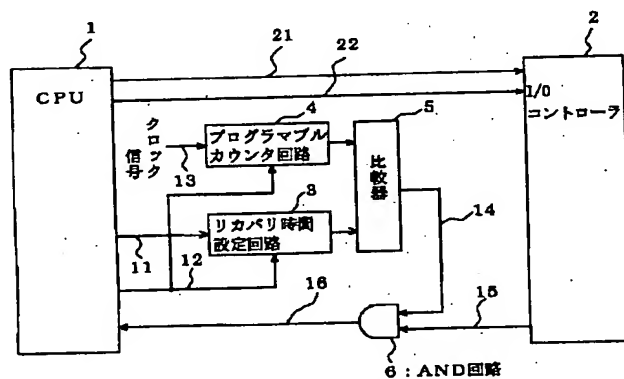
(74) 代理人 弁理士 大西 健治

(54) 【発明の名称】 I/Oアクセス制御回路

(57) 【要約】

【課題】 処理速度がアップしたCPUに変更しても従来のプログラムを流用できるI/Oアクセス制御回路を提供する。

【解決手段】 CPU1がリカバリ時間をリカバリ時間設定回路3に設定すると、プログラマブルカウンタ回路4がクロック13を計数し、比較器5は、設定されたリカバリ時間とクロック13の加算値とを比較し、その加算値がリカバリ時間に達したとき一致信号を出力し、AND回路6は、CPU1のアクセスに対するI/Oコントローラ2からの応答信号15及び一致信号14が入力されると、CPU1に対してリカバリ時間を設定させる信号16を出力する。



本発明に係るI/Oアクセス制御回路のブロック図

【特許請求の範囲】

【請求項 1】 CPUがI/Oコントローラにアクセスする際、該I/Oコントローラのリカバリ時間がデータとして存在するかどうかを判別し、存在するときはそのリカバリ時間を設定するリカバリ時間判別手段と、該リカバリ時間判別手段によってリカバリ時間が設定されたとき時間の計時を開始する計時手段と、前記リカバリ時間と前記計時手段の計時時間とを比較し、該計時時間がリカバリ時間と同一になったとき一致信号を出力する比較手段と、CPUのアクセスに対するI/Oコントローラからの応答信号及び前記一致信号が入力されたとき前記リカバリ時間判別手段にリカバリ時間を設定させる信号送出手段とを備えたことを特徴とするI/Oアクセス制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータシステムに係わり、さらに詳しくは、CPUのI/Oコントローラへのアクセスサイクルを制御するI/Oアクセス制御回路に関するものである。

【0002】

【従来の技術】一般に、CPUがプログラムの指示に従ってI/Oコントローラへのアクセスを実行するサイクルは、CPUが選択信号とコマンド信号を出力し、その処理を終えたI/Oコントローラが応答信号を出力することによって完了する。CPUがリカバリ時間を要するI/Oコントローラにアクセスするときは、I/Oコントローラにアクセス命令を出した後、ソフトウェアループと呼ばれる手段に従って次のアクセス命令の発行を遅延させている。例えば、CPUの1命令当たりの実行時間が1 μ sで、I/Oコントローラのリカバリ時間が5 μ sの場合、最初のアクセス命令をI/Oコントローラに出した後、5回分のループを実行し、その後2度目のアクセス命令を出すようにしている。

【0003】

【発明が解決しようとする課題】しかしながら、プログラムは従来のままで、CPUを処理速度の高いものに変更すると、ソフトウェアによるリカバリ時間が短縮されてしまうため、I/Oコントローラにアクセスができなくなり、その結果、CPUの高速化に伴いソフトウェアループの回数を変更する必要があるが、近年のCPUの処理速度の向上率のスピードと、今までに作られてきたソフトウェアの数量とを考えると、CPUの処理速度の向上に比例してプログラムを変更していくことは膨大な工数を要するものであった。

【0004】

【課題を解決するための手段】本発明に係るI/Oアクセス制御回路は、CPUがI/Oコントローラにアクセスする際、該I/Oコントローラのリカバリ時間がデ

タとして存在するかどうかを判別し、存在するときはそのリカバリ時間を設定するリカバリ時間判別手段と、該リカバリ時間判別手段によってリカバリ時間が設定されたとき時間の計時を開始する計時手段と、前記リカバリ時間と前記計時手段の計時時間とを比較し、該計時時間がリカバリ時間と同一になったとき一致信号を出力する比較手段と、CPUのアクセスに対するI/Oコントローラからの応答信号及び前記一致信号が入力されたとき前記リカバリ時間判別手段にリカバリ時間を設定させる信号を出力する信号送出手段とを備えたものである。

【0005】本発明においては、リカバリ時間判別手段がリカバリ時間を設定すると、計時手段が時間の計時を開始し、比較手段は、設定されたリカバリ時間と計時手段によって計時された時間とを比較し、その計時時間がリカバリ時間に達したとき一致信号を信号送出手段に出力する。信号送出手段は、CPUのアクセスに対するI/Oコントローラからの応答信号及び前記一致信号が入力されると、リカバリ時間判別手段にリカバリ時間を設定させる信号を出力する。

【0006】

【発明の実施の形態】図1は本発明の実施形態を示すブロック図であり、図において、1はコンピュータのCPUで、I/Oコントローラ2にアクセスする際、I/Oコントローラ2のリカバリ時間がデータとして存在するかどうかを判別し、存在するときはそのリカバリ時間を設定するリカバリ時間判別手段を備えている。このリカバリ時間は信号11に変換され、リカバリ時間設定回路3に出力される。また、リカバリ時間を設定した際、そのリカバリ時間設定回路3とプログラマブルカウンタ回路4とに起動信号12をそれぞれ出力するようになっている。起動信号12の出力後は、I/Oコントローラ2を選択するための選択信号21及びプログラムの命令に基づくコマンド信号22をI/Oコントローラ2に出力する。

【0007】前述のリカバリ時間設定回路3は起動信号12が入力されたときリカバリ時間を出力し、プログラマブルカウンタ回路4は起動信号12が入力されるとクロック信号13を入力して加算し、その都度、クロックの加算値を出力する。5は比較器で、リカバリ時間設定回路3から出力されたリカバリ時間とプログラマブルカウンタ回路4の加算値とを比較し、その加算値がリカバリ時間と同一になったとき一致信号14を出力する。6はAND回路で、本発明の信号送出手段に相当し、CPU1のアクセスに対するI/Oコントローラ2からの応答信号15及び前記一致信号14が入力されたときHレベルの信号（以下、「リカバリ時間設定信号」という）をCPU1に出力し、リカバリ時間を再び設定させる。

【0008】次に、動作を図2に基づいて説明する。図2は実施形態におけるCPUの動作を示すフローチャートである。CPU1は、I/Oコントローラ2にアクセ

スする際、図示していないがI/Oコントローラ2のリカバリ時間、例えば5 μ sがデータとして存在するかどうかを判別する。リカバリ時間がデータとして存在しないときは、CPU1の持つ処理速度に基づいてアクセス命令の選択信号21及びコマンド信号22をI/Oコントローラ2に出力するが、リカバリ時間がデータとして存在するときは、そのリカバリ時間5 μ sを信号11に変換してリカバリ時間設定回路3に出力すると共に、起動信号12をリカバリ時間設定回路3とプログラマブルカウンタ回路4とにそれぞれ出力し(S1、S2)、かつ、I/Oコントローラ2にプログラムに基づく選択信号21及びコマンド信号22を出力する(S3)。そして、アクセス命令を全て発行したかどうかを判定し(S4)、アクセス命令の発行を終了したときは別の処理に入るが、終了していないときはリカバリ時間設定信号16が入力されたかどうかを判定し(S5)、リカバリ時間設定信号が入力されていないときは待機する。

【0009】一方、リカバリ時間設定回路3はCPU1によって設定されたリカバリ時間5 μ sを比較器5に出力し、プログラマブルカウンタ回路4は、例えば1 μ sのクロック信号13が入力される毎に加算して比較器5に出力し、比較器5は、入力されたリカバリ時間5 μ sと比較器5からの加算値とを比較し、その加算値がリカバリ時間の5 μ sに達したとき一致信号14をAND回路6に出力する。AND回路6は、CPU1のアクセスに対するI/Oコントローラ2からの応答信号15及び比較器5からの一致信号14が入力されたとき、リカバリ時間設定信号16をCPU1に出力する。

【0010】CPU1は、リカバリ時間設定信号16が入力されるとステップ1に戻って、前述した一連の処理を繰り返す。そして、この処理を繰り返すことによりアクセス命令が全て終了すると別の処理に入る。

【0011】このようにCPU1の処理速度が向上しても、CPU1の処理速度とは無関係のクロック信号13がI/Oコントローラ2のリカバリ時間に達するまで次のアクセス命令を出せないようにしているので、処理速度の高いCPU1に変更しても従来のプログラムをそのまま流用できるという効果がある。

【0012】

【発明の効果】以上のように本発明によれば、I/Oコントローラにアクセスする際、リカバリ時間が設定されていたときは、計時手段の計時時間がそのリカバリ時間に達しないと次のアクセス命令を出せないようにしているので、処理速度の高いCPU1に変更しても従来のプログラムをそのまま流用できるという効果がある。

【図面の簡単な説明】

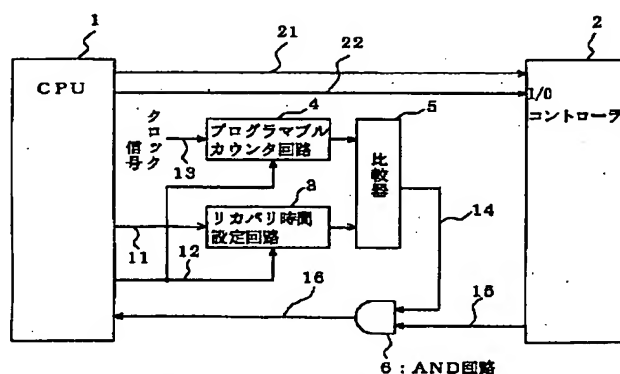
【図1】本発明の実施形態を示すブロック図である。

【図2】実施形態におけるCPUの動作を示すフローチャートである。

【符号の説明】

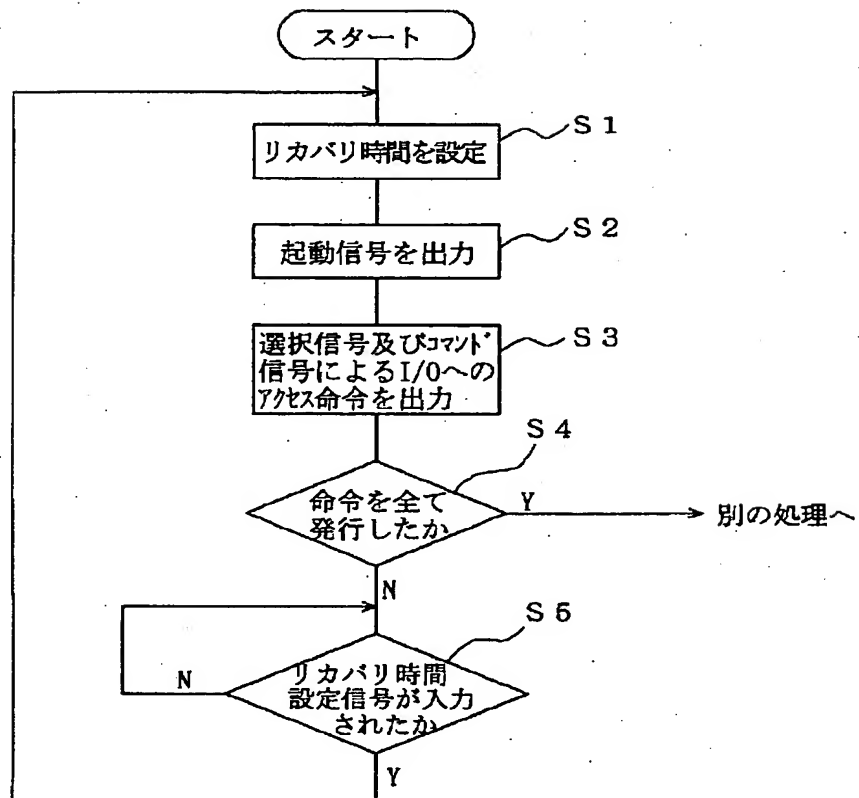
- 1 CPU
- 2 I/Oコントローラ
- 3 リカバリ時間設定回路
- 4 プログラマブルカウンタ回路
- 5 比較器
- 6 AND回路

【図1】



本発明に係るI/Oアクセス制御回路のブロック図

【図2】



実施形態におけるCPUの動作を示すフローチャート